

공개특허특2000-0023348

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl. ⁶
H01L 27/108(11) 공개번호 특2000-0023348
(43) 공개일자 2000년04월25일

(21) 출원번호 10-1999-0040676

(22) 출원일자 1999년09월21일

(30) 우선권주장 10-2681031998년09월22일일본(JP)

(71) 출원인 샤프 가부시키가이샤 마찌다 가즈히코
일본 오사카후 오사카시 아베노꾸 나가이쵸 22방 22고(72) 발명자 아단알베르토오스카
일본국나라630-0141이코마시히카리오카3-1-30(74) 대리인 손창규
백덕열
이태희

심사청구 : 있음

(54) 반도체장치 및 그의 제조방법

요약

반도체장치는 반도체기판상에 배치된 커패시터 및 배선층을 포함한다. 커패시터는 하부전극, 용량절연막 및 상부전극으로 형성된다. 배선층은 제 1 배선층 및 제 1 배선층상에 적층된 제 2 배선층으로 형성된다. 하부전극 및 제 1 배선층은 제 1 금속층으로 형성된다. 상부전극 및 제 2 배선층은 제 2 금속층으로 형성된다. 용량절연막은 하부전극상에만 형성된다.

대표도

도1

명세서**도면의 간단한 설명**

도 1은 본 발명에 따른 반도체장치의 실시예의 주요부를 나타내는 개략적인 단면도;
도 2는 본 발명에 따른 반도체장치의 제조단계를 나타내는 주요부의 개략적인 단면도;
도 3은 본 발명에 따른 반도체장치의 다른 실시예의 주요부를 나타내는 개략적인 단면도; 및
도 4는 종래의 반도체장치의 주요부를 나타내는 개략적인 단면도이다.

발명의 상세한 설명**발명의 목적****발명이 속하는 기술 및 그 분야 종래기술**

본 발명은 반도체장치 및 그 제조방법에 관한 것으로, 보다 구체적으로는 인가전압에 의존하지 않는 용량값을 갖는 메탈/메탈 커패시터를 포함하고, 배선층을 구성하는 동일한 재료 및 동일한 공정으로 형성되는 반도체장치, 및 반도체장치의 제조방법에 관한 것이다.

최근, 고집적화된 회로에 있어서, 다양한 구조를 갖는 커패시터가 사용되고 있다. 예컨대, 반도체기판내에 형성된 확산영역과 기판상에 형성된 폴리실리콘전극 사이에 절연막이 삽입된 구조를 갖는 커패시터, 상부와 하부 폴리실리콘전극 사이에 절연막이 삽입된 구조를 갖는 커패시터, 및 상부와 하부 금속전극 사이에 절연막이 삽입된 구조를 갖는 커패시터가 알려져 있다.

이들 커패시터 사이에서, 아날로그회로를 구성하는 커패시터는 출력신호의 크기를 결정하므로, 커패시터의 용량값의 변화가 출력신호의 변화를 야기한다. 따라서, 예컨대, A-D/D-A 컨버터는 동작 에러를 방지하기 위해 용량값의 인가전압 의존성이 작은 커패시터구조를 갖는 것이 요구된다.

확산영역과 폴리실리콘전극 사이에 절연막이 삽입된 커패시터는, 확산영역과 기판 사이의 PN 접합용량으로 형성된다. 이 PN 접합용량은 용량값의 전압의존성이 크기 때문에, 인가전압에 의존하지 않는 용량값을 실현하기가 곤란하다.

상부와 하부 폴리실리콘전극 사이에 절연막이 삽입된 커패시터에서는, 폴리실리콘전극의 저항 및 전압의존계수를 감소시키기 위해 폴리실리콘전극이 높은 불순물농도를 갖도록 고농도로 도핑되어야 한다.

그러나, 반도체장치의 제조공정의 간략화 및 규모축소에 따라서, 폴리실리콘의 도핑단계는 트랜지스터의 소스/드레인 확산영역을 형성하기 위한 도핑단계와 동시에 실행된다. 또한, 소스/드레인영역을 형성하기 위한 불순물이 온의 확산을 억제하기 위해 열처리시간이 단축된다. 그 결과, 폴리실리콘전극의 도핑농도가 감소되어, 전극의 저항 및 전압의존계수가 충분히 감소되지 않는다.

한편, 상부와 하부 금속층 사이에 절연막이 삽입된 커패시터는, 커패시터의 용량이 인가전압에 의존하지 않기 때문에 특히 아날로그 커패시터에 유효하다.

예컨대, 일본국 특허공개공보 제 93-129522호에는, 도 4에 도시된 바와 같이, 상부전극(26)은 알루미늄으로 형성되고, 하부전극(22)은 고용점금속으로 형성되는 금속/금속-커패시터 구조를 공개하고 있다. 또한, 이 공보에서는, 제조공정의 열처리로 인한 상부전극(26)의 힐로크의 형성을 방지하기 위해 상부 알루미늄전극(26)의 절연막(24)측상에 전기적 도전성 보호막(25)이 형성된다.

따라서, 이러한 금속/금속-커패시터 구조를 사용함에 의해, 인가전압의존성이 향상되고 더욱 절연내압이 향상되는 유효한 커패시터를 실현할 수 있다.

여기서, 상기 설명된 금속/금속-커패시터 구조가 채택되더라도, 반도체장치의 제조공정을 간략화하기 위해 동일한 재료 및 동일한 공정으로 상부전극, 하부전극 및 배선층을 형성할 필요가 있다.

예컨대, 통상 집적회로에 사용되는 배선층은, 배리어금속 및 알루미늄막의 적층막으로 형성된다(일본국 특허공개공보 제 96-274172호 참조). 여기서, 배리어금속은 TiN/Ti 층으로 형성된다. Ti층은 금속들 사이의 산화물을 환원함에 의해 양호한 전기적 접촉을 얻도록 제공되고, TiN층은 알루미늄의 일렉트로마이그레이션(전류에 의한 금속 원자의 이동)에 대한 내성이 강화되도록 제공된다. 배리어금속은, 배리어금속 하부에 형성되는 텅스텐 플러그를 구성하는 텅스텐과 배리어금속 상부에 형성되는 알루미늄 사이의 직접적인 접촉을 방해함에 의해 텅스텐 알루미늄 합금의 생성을 방지하는 역할을 한다.

그러나, 도 4에 도시된 커패시터구조는, 소자분리막(21)을 갖는 반도체기판(20)상에 커패시터 하부전극(22)의 형성/패터닝, 층간절연막(23)의 형성/개구, 및 전기적 도전성 보호막(25) 및 상부전극(26)의 형성/패터닝을 포함하는 일련의 단계를 통해 형성된다. 여기서, 배선층은 도 4에 도시된 종래 기술에서 설명되지 않는다. 그러나, 배선층이 형성되면, 배선층과 동일한 공정에 의해 상부전극(26)만 형성될 수 있기 때문에, 커패시터의 상부전극(26)만 배선과 동일한 재료로 형성될 수 있다. 그 결과, 통상의 집적회로에 사용되는 적층막으로 배리어금속을 형성할 수 없다.

또한, 상기 설명된 바와 같이, 도 4에 도시된 커패시터구조를 형성하기 위해서, 커패시터의 하부전극(22)을 형성하기 위한 포토리소그라피공정 및 커패시터의 상부전극(26)을 형성하기 위한 포토리소그라피공정이 개별적으로 실행될 필요가 있으므로, 제조공정이 복잡하게 된다.

발명이 이루고자하는 기술적 과제

본 발명은, 하부전극, 용량절연막 및 상부전극으로 형성되며 반도체기판상에 배치된 커패시터, 및 제 1 배선층 및 제 1 배선층상에 적층된 제 2 배선층으로 형성되며 반도체기판상에 배치된 배선층을 포함하는 반도체장치를 제공하며, 상기 하부전극 및 제 1 배선층이 제 1 금속층으로 형성되며; 상기 상부전극 및 제 2 배선층이 제 2 금속층으로 형성되고; 상기 용량절연막이 하부전극상에만 형성된다.

또한, 본 발명은, (i) 반도체기판상에 하부전극 및 제 1 배선층으로 구성되는 제 1 금속층을 형성하는 단계; (ii) 제 1 금속층상에 절연막을 적층하고 용량절연막을 형성하기 위해 절연막을 패터닝하는 단계; (iii) 용량절연막을 피복하도록 상기 기판의 전면에 제 2 금속층을 형성하는 단계; 및 (iv) 소정의 형상을 갖는 레지스트 마스크를 형성한 후, 제 1 금속층 및 제 2 금속층만 에칭되는 조건하에서 레지스트 마스크를 사용함에 의해 상기 제 2 금속층 및 제 1 금속층을 에칭함으로써, 커패시터 및 배선층이 동시에 형성되는 단계를 포함하는 반도체장치의 제조방법을 제공한다.

발명의 구성 및 작용

본 발명의 반도체장치는, 반도체기판상에 형성된 커패시터 및 배선층을 포함한다. 커패시터는 하부전극, 용량절연막 및 상부전극을 포함한다. 배선층은 제 2 배선층/제 1 배선층의 적층구조로 구성된다. 커패시터에서, 용량절연막이 하부전극상에만 배치된다. 여기서, 커패시터의 하부전극 및 제 1 배선층은 제 1 금속층으로 형성된다. 또한, 커패시터의 상부전극 및 제 2 배선층은 제 2 금속층으로 형성된다.

본 발명의 반도체장치에 있어서, 반도체기판은 반도체장치를 형성할 때에 사용되는 통상의 기판이면 특별히 한정되지 않는다. 반도체기판의 재료는, 예컨대, 실리콘 또는 게르마늄 등의 반도체, 또는 GaAs 또는 InGaAs 등의 화합물반도체 등을 들 수 있다. 반도체기판은 반도체기판의 표면에 제 1 및/또는 제 2 도전형의 불순물 확산영역, 소자분리막 등을 포함할 수 있다. 반도체기판은 MOS 트랜지스터, 커패시터 또는 저항 등의 소자, 배선층, 절연막 또는 이들의 결합을 포함할 수 있다.

커패시터의 하부전극은 배선층을 구성하는 제 1 배선층과 함께 제 1 금속층으로 형성된다. 제 1 금속층의 재료는 전기적인 도전성막으로 형성되어 있는 한 특별히 한정되지 않는다. 제 1 금속층은 통상 배선층을 형성할 때의 배리어금속을 형성할 수 있는 재료로 구성된다. 제 1 배선층은 Ti, Ta, W 또는 Mo 등의 고용점금속의 단층 또는 이들 금속층의 2층 이상의 적층막으로 구성된다. 또한, 이들 고용점금속이 사용되는 한 고용점금속의 질화막 또는 규화막을 포함하는 2층 이상의 적층구조를 갖는다. 제 1 배선층의 재료의 구체예는 Ti, W, Mo, TiN, TiW, WSi, MoSi, TiSi, TiN/Ti, WSi/W, MoSi/Mo, TiSi/Ti, TiW/Ti, TiW/W 등을 포함한다. 제 1 배선층의 두께는 특별히 한정되지 않는다. 그러나, 두께는, 예컨대, 약 50nm 내지 500nm 일 수 있다.

하부전극이 제 1 배선층으로 형성되면, 하부전극의 형상은 특별히 한정되지 않고 반도체장치의 기능, 커패시터에 인가되는 전압의 크기 등에 따라 적절히 선택될 수 있다.

커패시터의 용량절연막은 하부전극상에 형성되고, 그 재료는 통상 커패시터의 절연막으로서 사용되는 것이면 특별히 한정되지 않는다. 예컨대, SiO

₂, SiN 등의 유전체막, PZT 또는 PLZT 등의 강유전체막의 단층, 또는 2층 이상의 적층막으로 형성된다. 커패시터 유전막의 두께는 특별히 한정되지 않는다. 그러나, 두께는, 예컨대, 약 5nm 내지 50nm 이다. 또한, 용량절연막의 형상은 특별히 한정되지 않는다. 그러나, 형상(면적)은 적어도 하부전극과 동등하거나 작은 크기를 갖는 것이 바람직하다.

커패시터의 상부전극은 배선층을 구성하는 제 2 배선층과 함께 제 2 금속층으로 형성된다. 제 2 금속층의 재료는 전기적인 도전성막으로 형성되면 특별히 한정되지 않는다. 그러나, 제 2 금속층은 알루미늄계 금속으로 구성되는 것이 바람직하다. 구체적으로는, 제 2 금속막은 알루미늄, AlCu, AlSi, AlCuSi 등의 단층 또는 2층 이상의 적층막으로 구성된다. 제 2 배선층의 두께는 특별히 한정되지 않는다. 그러나, 두께는, 예컨대, 약 50nm 내지 1500nm 이다.

상부전극이 제 2 배선층으로 형성되면, 상부전극의 형상은 특별히 한정되지 않고 반도체장치의 기능, 커패시터에 인가되는 전압의 크기 등에 따라 적절히 선택된다. 그러나, 상부전극은 다음 이유 때문에 하부전극의 폭(면적)보다, 예컨대, 약 1 μ m 작은 폭(면적)을 갖는 것이 바람직하다. 상부전극의 크기(면적)가 하부전극의 크기(면적)와 동등할 경우, 이들 전극층의 에칭 때에 용량절연막의 측벽에 하부전극재료가 부착되어, 커패시터의 상부전극과 하부전극 사이의 단락회로를 야기한다. 또한, 상부전극의 폭이 하부전극의 폭(면적)보다 작으면, 얼라인먼트 마진이 포토리소그라피공정에서 확보될 수 있다.

본 발명의 반도체장치의 배선층은 제 1 배선층 및 그 위에 형성되는 제 2 배선층을 포함한다. 제 1 배선층 및 제 2

배선층의 재료 및 두께는 상기 설명된 바와 같다.

또한, 본 발명의 반도체장치의 제조방법에 의하면, 단계 (i)에 있어서, 반도체기판상에 제 1 금속층이 형성된다. 제 1 금속층의 형성방법은 사용되는 재료에 따라 다르다. 그러나, 고용점금속의 단층 또는 2층 이상의 적층막으로 제 1 금속층이 형성되면, 고용점금속의 타겟을 사용하는 스퍼터링법 또는 CVD 법을 실행할 수 있다. 고용점금속 및 TiN/Ti 등의 고용점금속의 질화막 또는 규화막의 2층 이상의 적층구조로 제 1 금속층이 형성되면, 스퍼터링법 또는 CVD 법을 실행할 수 있다.

단계 (ii)에서, 유전막은 제 1 금속층상에 적층된다. 여기서, 유전막은 제 1 금속층의 거의 전면에 걸쳐 형성된다. 유전막의 형성방법은 사용되는 재료에 따라 다르다. 그러나, 방법은, 예컨대, 실란가스 및 임의로 질소가스를 사용하는 CVD법, MOCVD법, 졸겔법이 있다.

다음, 여기서의 패터닝은, 형성되는 유전막이 용량절연막을 형성하기 위해 패터닝된다. 이 단계에서 패터닝은 유전막만 에칭되어 그 하부에 배치된 제 1 금속층은 에칭되지 않는 조건하에서 실행된다. 패터닝은, 포토리소그라피 및 에칭공정에 의해 소망의 형상을 갖는 레지스트패턴을 형성하고, CF

4, CHF₃ 등을 사용하는 드라이에칭, 또는 불화수소산, 인산 등을 사용하는 웨트에칭을 실행함에 의해 실행된다.

공정(iii)에서, 용량절연막을 거의 완전히 덮도록, 얻어진 기판의 전면에 제 2 금속층이 형성된다. 제 2 금속층의 형성방법은 사용되는 재료에 따라 다르다. 그러나, 알루미늄 또는 알루미늄계 금속 타겟을 사용하는 스퍼터링법 또는 CVD법을 실행할 수 있다.

공정(iv)에서, 소정의 형상을 갖는 레지스트 마스크가 먼저 형성된다. 이 단계의 레지스트 마스크는 공지의 포토리소그라피 및 에칭공정을 실행함에 의해 형성된다. 레지스트 마스크는 상부전극 및 제 2 배선층을 형성하기 위한 영역이 레지스트 마스크로 피복되는 형상을 갖는 것이 바람직하다.

또한, 상기 설명된 레지스트 마스크를 사용함에 의해 제 2 금속층 및 제 1 금속층이 에칭된다. 여기서, 제 1 금속층 및 제 2 금속층만 에칭되어 용량절연막이 거의 에칭되지 않는 에칭조건을 선택할 필요가 있다. 즉, 에칭조건은, 예컨대, 제 1 금속층 및 제 2 금속층과 용량절연막의 에칭레이트비가 약 10:1 내지 약 20:1 인 것이다.

본 발명에서, 상기 단계 (i) 내지 (iv)를 통해 커패시터 및 배선층이 동일한 재료로 동시에 형성될 수 있다. 또한, 상기 단계를 되풀이함에 의해 2층 이상의 다층구조를 갖는 반도체장치가 형성될 수 있다.

이하에, 본 발명의 반도체장치 및 그 제조방법의 실시예를 첨부도면을 참조하여 설명한다.

실시예 1 도 1은 본 실시예에 따른 반도체장치를 나타낸다.

반도체장치는 소자분리막(2)이 형성된 실리콘기판(1)상에 형성된 MOS 트랜지스터를 포함한다. MOS 트랜지스터는 게이트절연막, 게이트전극(3), 및 소스/드레인영역(4)을 포함한다. 층간절연막(5)은 MOS 트랜지스터상에 형성된다. 또한, 소스/드레인영역(4)상의 층간절연막(5)에 콘택트홀이 형성된다. 콘택트홀에 텅스텐 플러그(7)가 매설된다. 또한, 콘택트 플러그(7)상에 커패시터가 형성된다. 커패시터는 콘택트 플러그(7)상에 순차적으로 적층된 하부전극(8), 용량절연막(9) 및 상부전극(12)을 포함한다. 하부전극(8)은 제 1 금속층인 TiN/Ti의 2층구조를 갖는다. 용량절연막(9)은 SiO₂

로 형성된다. 상부전극(12)은 제 2 금속층인 알루미늄으로 형성된다. 상부전극(12)은 하부전극(8) 및 용량절연막(9)의 폭보다 좁은 폭(면적)을 갖는다. 배선층(14)은 다른 콘택트 플러그(7)상에 형성된다. 배선층(14)은 제 1 금속층으로 형성되는 제 1 배선층(8b) 및 제 2 금속층으로 형성되는 제 2 배선층(12b)을 포함하는 적층구조를 갖는다.

또한, 층간절연막(15) 및 텅스텐 플러그(16)를 통해 커패시터 및 배선층(14)상에 배선층(19)이 형성된다. 배선층(19)은 제 1 금속층으로 형성되는 제 1 배선층(17) 및 제 2 금속층으로 형성되는 제 2 배선층(18)을 포함하는 적층구조를 갖는다.

이러한 반도체장치는 다음 방법에 의해 제조될 수 있다.

먼저, 도 2(a)를 참조하면, 활성영역을 규정하기 위해 로코스법에 의해 실리콘기판(1)상에 약 300 내지 500nm의 두께를 갖도록 소자분리막(2)이 형성된다. 활성영역에는 게이트절연막, 게이트전극(3), 및 소스/드레인영역(4)을 포함하는 MOS 트랜지스터가 형성된다. MOS 트랜지스터의 전면에 CVD법에 의해 약 700 내지 1000nm의 두께를 갖도록 층간절연막(5)이 형성된다. 다음, 소스/드레인영역(4)상의 층간절연막(5)에 소스/드레인영역(4)에의 전기적 접속을 가능하게 하기 위해 포토리소그라피 및 에칭공정에 의해 콘택트홀(6)이 형성된다. 다음, 콘택트홀(6)

내에 텅스텐 플러그(7)가 매설되고, CMP에 의해 층간절연막(5)의 표면이 평탄화된다. 본 실시예에서, 콘택트홀(6)내에 직접 텅스텐 플러그(7)가 매설된다. 그러나, 콘택트홀(6)의 내측면이 TiN/Ti 막으로 덮힌 후, 텅스텐 플러그(7)가 매설된다.

다음, 콘택트홀(6)상의 부분을 포함하는 층간절연막(5)의 전면에 스퍼터링법에 의해 고용점금속의 제 1 금속층(8a)이 형성된다. 제 1 금속층(8a)은 커패시터의 하부전극 및 배선층의 제 1 배선층으로 형성된다. 여기서, 제 1 금속층(8a)은 실리콘기판(1)으로부터 Ti, TiN의 순서로 TiN/Ti의 2층구조를 갖도록 형성된다. TiN/Ti층은 균일성을 확보하기 위해 TiN/Ti=70 내지 130nm/40 내지 80nm의 두께를 갖도록 형성된다.

여기서, TiN/Ti층은 배리어금속으로 사용되어, Ti층은 금속들 사이의 산화물의 환원에 의해 양호한 전기적인 접촉을 얻을 수 있고, TiN층은 알루미늄의 일렉트로마이그레이션에 대해 내성을 증가시킬 수 있다. 또한, TiN/Ti층은 텅스텐 플러그(7)를 구성하는 금속텅스텐과 후술하는 제 2 금속층을 구성하는 금속알루미늄 사이의 직접접촉을 방지하여, 텅스텐 및 알루미늄의 합금의 생성을 방지한다.

다음, 제 1 금속층(8a)의 전면에 커패시터의 용량절연막이 되는 절연막(9a)이 TEOS 플라즈마 CVD법(약 400℃)에 의해 형성되어, 단위면적당의 용량치의 목표가 1.5×10

$-15\text{F}/\mu\text{m}^2$ 이면 절연막의 두께는 약 23nm로 된다.

다음, 도 2(b)를 참조하면, 절연막(9a)상에 소망의 형상을 갖는 레지스트패턴(10)이 형성된다. 레지스트패턴(10)을 마스크로서 사용하여 절연막(9a)을 에칭함에 의해 커패시터의 용량절연막(9)이 형성된다. 이 단계에서, CF

₄ 및 CHF₃의 혼합가스가 에칭가스로서 사용된다.

다음, 도 2(c)를 참조하면, 용량절연막(9)을 덮기 위해 스퍼터링법에 의해 제 1 금속층(8a)의 전면에 400 내지 600nm의 두께를 갖도록 알루미늄의 제 2 금속층(12a)이 형성된다. 제 2 금속층(12a)은 나중의 단계에서 커패시터의 상부전극 및 배선층의 제 2 배선층(12b)으로 패턴닝된다. 이후, 제 2 금속층(12a)상에 소망의 형상을 갖는 레지스트패턴(13)이 형성된다.

다음, 도 2(d)를 참조하면, 제 2 금속층(12a) 및 제 1 금속층(8a)만이 에칭되는 조건하에서 레지스트패턴(13)을 마스크로서 사용함에 의해 제 2 금속층(12a) 및 제 1 금속층(8a)이 에칭된다. 이 에칭을 통해, 커패시터의 상부전극(12) 및 배선층의 제 2 배선층(12b)이 동시에 패턴닝되고, 또한 커패시터의 하부전극(8) 및 배선층의 제 1 배선층(8b)이 동시에 패턴닝된다. 이로써 커패시터 및 배선층(14)을 동시에 형성할 수 있다. 여기서, 이 에칭단계에서의 에칭조건은, BCl

₃ 및 Cl₂의 혼합가스(1:1)를 사용하여 파워는 400W이고 압력은 80 내지 120mTorr로 하였다. 이 에칭단계에서, 이 조건하에서의 알루미늄의 제 2 금속층(12a) 및 SiO

₂의 용량절연막(9)의 에칭레이트비는 10:1이기 때문에 용량절연막(9)은 거의 에칭되지 않는다. 따라서, 용량절연막(9)이 그 하부에 배치된 커패시터의 하부전극(8)의 마스크로서 사용될 수 있다. 부가하여, 하부전극의 폭(약 50μm)보다 작은, 약 49μm로 상부전극의 폭이 설정되었다.

또한, 도 1에 도시된 바와 같이, TEOS 플라즈마 CVD법에 의해 전면에 700 내지 1000nm의 두께를 갖도록 층간절연막(15)이 형성된다. 다음, 포토리소그래피 및 에칭공정에 의해 커패시터의 상부전극(12) 및 제 2 배선층(12b)상의 층간절연막(15)에 콘택트홀이 형성된다. 다음, 콘택트홀에 텅스텐 플러그(16)가 매설된 후, CMP에 의해 층간절연막(15)의 표면이 평탄화된다. 이후, 제 1 배선층(17) 및 제 2 배선층(18)을 포함하는 배선층(19)이 형성된다.

실시예 2 본 실시예에 따른 반도체장치를 도 3에 나타낸다.

본 실시예의 반도체장치가 C1으로부터 C3까지 3층에 걸쳐 커패시터 및 배선층이 형성되는 3층배선층 구조를 갖는 것을 제외하고, 본 실시예의 반도체장치는 2층배선층을 갖는 실시예 1의 반도체장치와 동일한 구조를 갖는다.

또한, 도 3에 도시된 반도체장치는, 실시예 1과 동일한 공정을 되풀이함에 의해 제조될 수 있다.

발명의 효과

본 발명의 반도체장치에 의하면, 커패시터의 하부전극 및 배선층의 제 1 배선층이 하나의 재료(제 1 금속층)로 형성되고, 커패시터의 상부전극 및 배선층의 제 2 배선층이 다른 하나의 재료(제 2 금속층)로 형성되어, 저가의 반도체

제장치를 제공한다. 부가하여, 고용점금속이 제 1 금속층으로 특별히 사용되면, 배선층의 배리어 금속으로서 사용되는 막이 제 1 배선층으로서 형성될 수 있으므로, 배선층부의 제 1 배선층의 하부의 콘택트 플러그 및 제 1 배선층의 상층의 금속의 직접적인 접촉으로 인해 바람직하지 못한 반응을 방지할 수 있어, 더욱 신뢰성이 높은 배선층을 실현할 수 있다.

또한, 커패시터의 상부전극이 하부전극보다 짧은 폭(면적)을 점유하도록 형성되면, 커패시터의 상부전극과 하부전극 사이의 단락회로가 방지될 수 있고, 후속 실행되는 포토리소그래피단계에서 얼라인먼트 마진이 확보될 수 있다.

부가하여, 본 발명의 반도체장치의 제조방법에 의하면, 커패시터의 하부전극 및 배선층의 제 1 배선층이 동일한 재료로 형성될 수 있고 동시에 패터닝될 수 있으며, 커패시터의 상부전극 및 배선층의 제 2 배선층이 동일한 재료로 형성될 수 있고 동시에 패터닝될 수 있어, 커패시터 및 배선층 모두를 형성하는 추가의 특별한 단계를 실행할 필요가 없다. 이로써 제조공정을 보다 간략화할 수 있다. 따라서, 보다 신뢰성이 높은 반도체장치가 보다 낮은 제조비용으로 생산될 수 있다.

본 발명이 첨부도면을 참조하여 실시예를 설명하더라도, 다양한 변화 및 변경이 실시될 수 있음이 당업자들에게 이해될 것이다. 따라서, 이러한 변화 및 변경이 본 발명의 범위로부터 벗어나지 않는다면, 그 안에 포함되는 것으로서 해석되어야 한다.

(57)청구의 범위

청구항1

하부전극, 용량절연막 및 상부전극으로 형성되며 반도체기판상에 배치된 커패시터, 및 제 1 배선층 및 제 1 배선층상에 적층된 제 2 배선층으로 형성되며 반도체기판상에 배치된 배선층을 포함하는 반도체장치로서,

상기 하부전극 및 제 1 배선층이 제 1 금속층으로 형성되며; 상기 상부전극 및 제 2 배선층이 제 2 금속층으로 형성되고; 상기 용량절연막이 하부전극상에만 형성되는 반도체장치.

청구항2

제 1 항에 있어서, 제 1 금속층이 고용점금속으로 형성되고, 제 2 금속층이 알루미늄계 금속으로 형성되는 반도체장치.

청구항3

제 1 항에 있어서, 상부전극이 하부전극보다 작은 면적을 점유하도록 형성되는 반도체장치.

청구항4

제 1 항에 있어서, 상부전극이 용량절연막보다 작은 면적을 점유하도록 형성되는 반도체장치.

청구항5

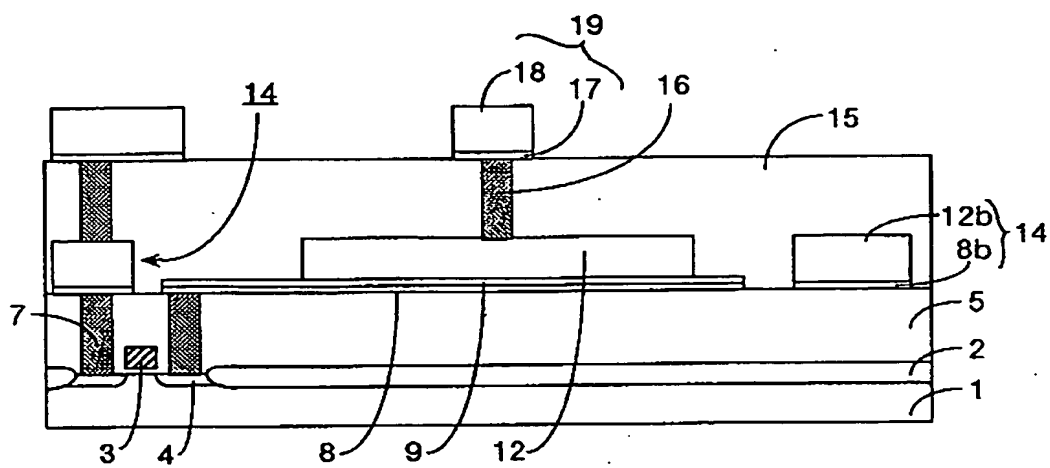
- (i) 반도체기판상에, 하부전극 및 제 1 배선층으로 구성되는 제 1 금속층을 형성하는 단계;
- (ii) 제 1 금속층상에 절연막을 적층하고 용량절연막을 형성하기 위해 절연막을 패터닝하는 단계;
- (iii) 용량절연막을 피복하도록 상기 기판의 전면에 제 2 금속층을 형성하는 단계; 및
- (iv) 소정의 형상을 갖는 레지스트 마스크를 형성한 후, 제 1 금속층 및 제 2 금속층만 에칭되는 조건하에서 레지스트 마스크를 사용함에 의해 상기 제 2 금속층 및 제 1 금속층을 에칭함으로써, 커패시터 및 배선층이 동시에 형성되는 단계를 포함하는 반도체장치의 제조방법.

청구항6

제 4 항에 있어서, 제 1 금속층은 고용점금속으로 형성되고 제 2 금속층은 알루미늄계 금속으로 형성되는 반도체장치의 제조방법.

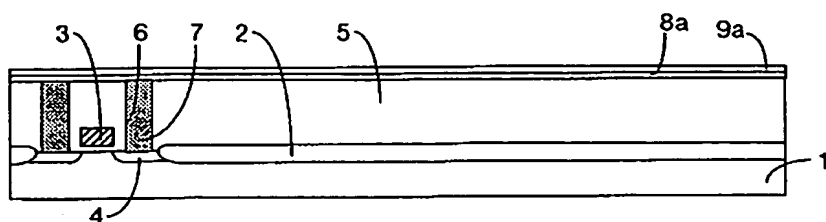
도면

도면1

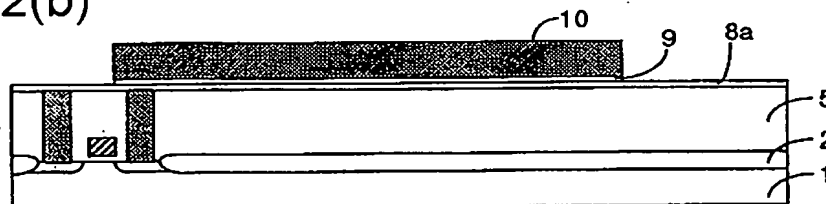


도면2

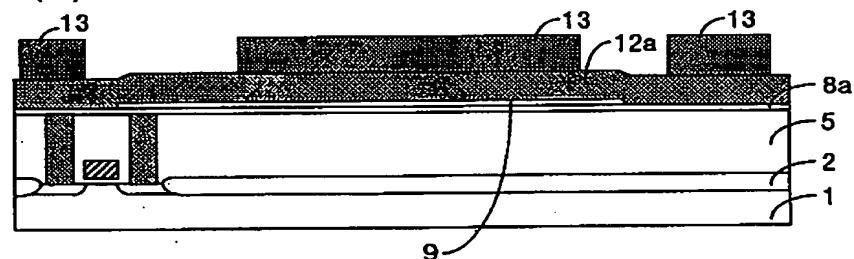
도 2(a)



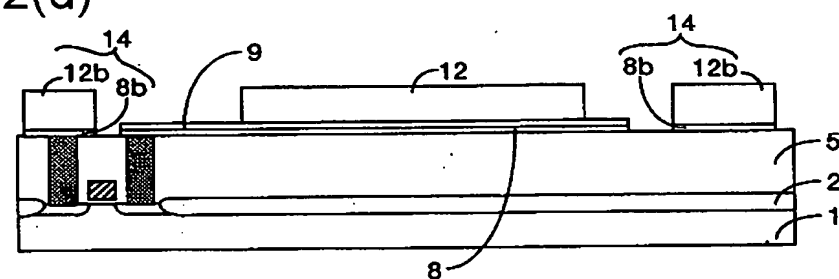
도 2(b)



도 2(c)

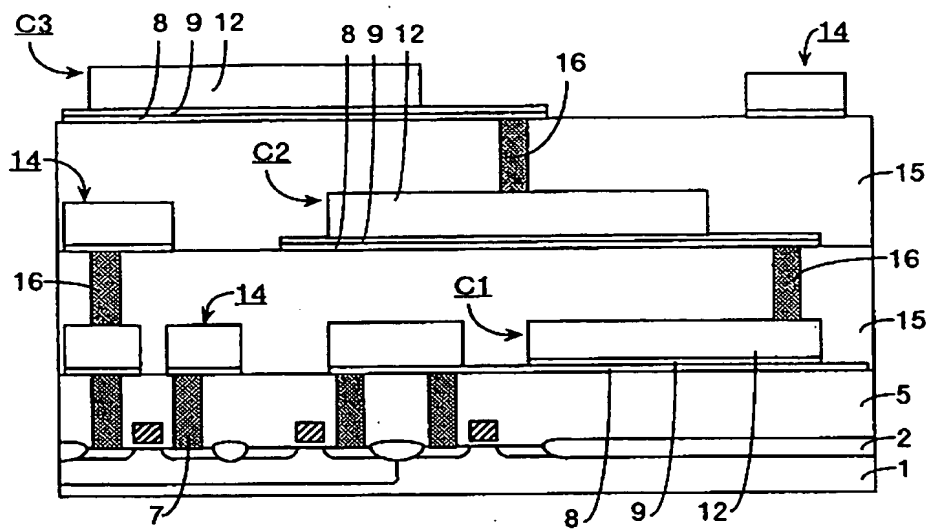


도 2(d)



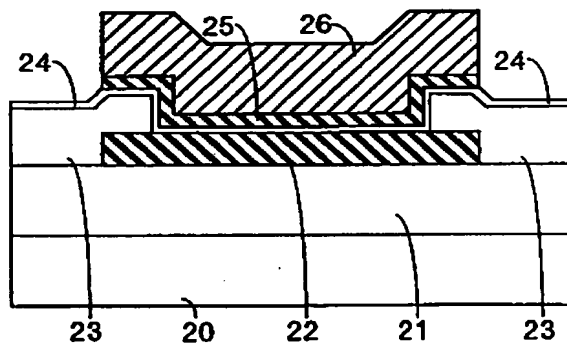
도면3

Best Available Copy



도면4

(종래 기술)



Best Available Copy